

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年10月 2日

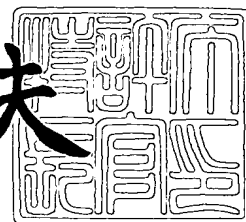
出願番号
Application Number: 特願2002-289457
[ST. 10/C]: [JP2002-289457]

出願人
Applicant(s): 日本電気株式会社

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3063916

【書類名】 特許願

【整理番号】 67000089

【あて先】 特許庁長官殿

【国際特許分類】 H04L 7/00
H04L 7/08

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 瀧上 博文

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088890

【弁理士】

【氏名又は名称】 河原 純一

【手数料の表示】

【予納台帳番号】 009690

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001717

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ再同期化装置

【特許請求の範囲】

【請求項 1】 入力データ信号が、シリアル信号であること、データフレーム以外の区間は PLL 発振器同期化のためのアイドルパターンが常時伝送されていること、データフレーム長は一定長以下で既知であること、アイドルパターンは既知のビット列の整数倍であること、入力データ信号の基本周波数と出力データ信号の基本周波数とがほとんど同じであること、データフレームの開始位置および終了位置が明示されている信号であることという条件であるときのデータ再同期化装置であって、

基準クロック信号を発生する基準クロック発振回路と、

前記入力データ信号に同期化した入力クロック信号を発生する入力 PLL 発振回路と、

前記基準クロック信号に同期化した出力クロック信号を生成する出力 PLL 発振回路と、

前記入力データ信号を前記入力クロック信号に同期してパラレル化して並列ビット数の入力並列データ信号およびアイドルパターンビット数の入力並列データ信号を出力するシフトレジスタ直並列回路と、

前記アイドルパターンビット数の入力並列データ信号からデータフレームならびにデータフレームの開始位置および終了位置を検出してデータ検出信号を出力し、前記並列ビット数の入力並列データ信号の取込タイミングを決める第 1 の入力取込信号を出力する入力パターン検出回路と、

前記第 1 の入力取込信号に応じて前記並列ビット数の入力並列データ信号を前記入力クロック信号に同期して所定クロック長だけ時間軸方向に引き延ばし並列ビット数の伸張データ信号を出力する並列ビット数の入力データ伸張回路と、

前記データ検出信号を入力し前記並列ビット数の入力並列データ信号の取込タイミングを別タイミングの出力クロック信号に同期して動作する回路に受け渡すための第 2 の入力取込信号を生成する入力データ取込信号生成回路と、

前記データ検出信号を前記出力クロック信号に再同期化してデータ区間信号を出

力する再同期データ区間信号生成回路と、
前記第2の入力取込信号を入力し前記並列ビット数の伸張データ信号を再同期化して取り込むための再取込信号を出力する再同期データ取込信号生成回路と、
前記並列ビット数の伸張データ信号を前記出力クロック信号に再同期化して並列ビット数の再データ信号を出力する並列ビット数のデータ再同期回路と、
前記データ区間信号を入力し前記入力データ信号がアイドルパターンであるときには自己で生成したアイドルパターンをアイドル信号として出力し、前記入力データ信号がデータフレームになったときに乗せ換えのためのタイミング信号である遅延信号および選択信号を出力するアイドルパターン生成回路と、
前記再取込信号に応じて前記並列ビット数の再データ信号をシリアル化して直列信号を出力するシフトレジスタ並直列回路と、
前記遅延信号に応じて前記直列信号を遅延させるデータ遅延回路と、
前記選択信号に応じて前記アイドル信号と前記出力信号とを乗せ換えて出力データ信号を出力するデータ選択回路と
を有することを特徴とするデータ再同期化装置。

【請求項2】前記並列ビット数が、前記入力クロック信号と前記出力クロック信号との位相差吸収、メタステーブル回避+ジッタ回避+スキュー回避、および前記入力クロック信号と前記出力クロック信号との周波数偏差吸収によって決定されることを特徴とする請求項1記載のデータ再同期化装置。

【請求項3】前記所定クロック長が、前記並列ビット数以上であることを特徴とする請求項1または請求項2記載のデータ再同期化装置。

【請求項4】基準クロック信号を発生する工程と、
前記入力データ信号に同期化した入力クロック信号を発生する工程と、
前記基準クロック信号に同期化した出力クロック信号を生成する工程と、
前記入力データ信号を前記入力クロック信号に同期してパラレル化して並列ビット数の入力並列データ信号およびアイドルパターンビット数の入力並列データ信号を出力する工程と、
前記アイドルパターンビット数の入力並列データ信号からデータフレームならびにデータフレームの開始位置および終了位置を検出してデータ検出信号を出力し

、前記並列ビット数の入力並列データ信号の取込タイミングを決める第1の入力取込信号を出力する工程と、

前記第1の入力取込信号に応じて前記並列ビット数の入力並列データ信号を前記入力クロック信号に同期して所定クロック長だけ時間軸方向に引き延ばし並列ビット数の伸張データ信号を出力する工程と、

前記データ検出信号を入力し前記並列ビット数の入力並列データ信号の取込タイミングを別タイミングの出力クロック信号に同期して動作する回路に受け渡すための第2の入力取込信号を生成する工程と、

前記データ検出信号を前記出力クロック信号に再同期化してデータ区間信号を出力する工程と、

前記第2の入力取込信号を入力し前記並列ビット数の伸張データ信号を再同期化して取り込むための再取込信号を出力する工程と、

前記並列ビット数の伸張データ信号を前記出力クロック信号に再同期化して並列ビット数の再データ信号を出力する工程と、

前記データ区間信号を入力し前記入力データ信号がアイドルパターンであるときには自己で生成したアイドルパターンをアイドル信号として出力し、前記入力データ信号がデータフレームになったときに乗せ換えのためのタイミング信号である遅延信号および選択信号を出力する工程と、

前記再取込信号に応じて前記並列ビット数の再データ信号をシリアル化して直列信号を出力する工程と、

前記遅延信号に応じて前記直列信号を遅延させる工程と、

前記選択信号に応じて前記アイドル信号と前記出力信号とを乗せ換えて出力データ信号を出力する工程と

を有することを特徴とするデータ再同期化方法。

【請求項5】前記並列ビット数が、前記入力クロック信号と前記出力クロック信号との位相差吸収、メタステーブル回避+ジッタ回避+スキュー回避、および前記入力クロック信号と前記出力クロック信号との周波数偏差吸収によって決定されることを特徴とする請求項4記載のデータ再同期化方法。

【請求項6】前記所定クロック長が、前記並列ビット数以上であることを特徴と

する請求項 4 または請求項 5 記載のデータ再同期化方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はデータ再同期化装置に関し、特に長距離伝送される高速なシリアル信号の再同期化を行うデータ再同期化装置に関する。

【0 0 0 2】

【従来の技術】

従来のシリアルデータを同期化させるためのシステムでは、デコーダがパケットレートでデータを受け取り、検出回路がデコーダからのデータ有効信号を監視し、データ有効信号の値がパケットレートより高速で変化することを確認したときに出力信号をアサートすることにより、フルパケットサイズ以下のグループまたは塊で送られてきたアイドルコードまたはデータを検出し、エラーの存在を確認し、このエラーを適切に修正してシリアルデータを適切に同期化させるようにしている（例えば、特許文献 1 参照。）。

【0 0 0 3】

【特許文献 1】

特開 2 0 0 2 - 1 0 1 0 8 4 号公報（第 4 - 6 頁、図 3）

【0 0 0 4】

【課題を解決するための手段】

しかし、上述した従来の技術では、ファイバチャネル（F i b r e C h a n n e l）等の高速なシリアル信号を長距離伝送するとジッタが増加し、受端側の P L L（P h a s e - L o c k e d L o o p）発振器が正常動作できなくなるという問題点があった。

【0 0 0 5】

本発明の目的は、長距離伝送される高速なシリアル信号のジッタを抑制して、再同期化したデータの信頼性を高めるようにしたデータ再同期化装置を提供することにある。

【0 0 0 6】

また、本発明の他の目的は、上記データ再同期化装置で用いられるデータ再同期化方法を提供することにある。

【0 0 0 7】

【課題を解決するための手段】

【0 0 0 8】

本発明のデータ再同期化装置は、入力データ信号が、シリアル信号であること、データフレーム以外の区間は P L L 発振器同期化のためのアイドルパターンが常時伝送されていること、データフレーム長は一定長以下で既知であること、アイドルパターンは既知のビット列の整数倍であること、入力データ信号の基本周波数と出力データ信号の基本周波数とがほとんど同じであること、データフレームの開始位置および終了位置が明示されている信号であることという条件であるときのデータ再同期化装置であって、基準クロック信号を発生する基準クロック発振回路と、前記入力データ信号に同期化した入力クロック信号を発生する入力 P L L 発振回路と、前記基準クロック信号に同期化した出力クロック信号を生成する出力 P L L 発振回路と、前記入力データ信号を前記入力クロック信号に同期してパラレル化して並列ビット数の入力並列データ信号およびアイドルパターンビット数の入力並列データ信号を出力するシフトレジスタ直並列回路と、前記アイドルパターンビット数の入力並列データ信号からデータフレームならびにデータフレームの開始位置および終了位置を検出してデータ検出信号を出力し、前記並列ビット数の入力並列データ信号の取込タイミングを決める第 1 の入力取込信号を出力する入力パターン検出回路と、前記第 1 の入力取込信号に応じて前記並列ビット数の入力並列データ信号を前記入力クロック信号に同期して所定クロック長だけ時間軸方向に引き延ばし並列ビット数の伸張データ信号を出力する並列ビット数の入力データ伸張回路と、前記データ検出信号を入力し前記並列ビット数の入力並列データ信号の取込タイミングを別タイミングの出力クロック信号に同期して動作する回路に受け渡すための第 2 の入力取込信号を生成する入力データ取込信号生成回路と、前記データ検出信号を前記出力クロック信号に再同期化してデータ区間信号を出力する再同期データ区間信号生成回路と、前記第 2 の入力取込信号を入力し前記並列ビット数の伸張データ信号を再同期化して取り込むた

めの再取込信号を出力する再同期データ取込信号生成回路と、前記並列ビット数の伸張データ信号を前記出力クロック信号に再同期化して並列ビット数の再データ信号を出力する並列ビット数のデータ再同期回路と、前記データ区間信号を入力し前記入力データ信号がアイドルパターンであるときには自己で生成したアイドルパターンをアイドル信号として出力し、前記入力データ信号がデータフレームになったときに乗せ換えのためのタイミング信号である遅延信号および選択信号を出力するアイドルパターン生成回路と、前記再取込信号に応じて前記並列ビット数の再データ信号をシリアル化して直列信号を出力するシフトレジスタ並直列回路と、前記遅延信号に応じて前記直列信号を遅延させるデータ遅延回路と、前記選択信号に応じて前記アイドル信号と前記出力信号とを乗せ換えて出力データ信号を出力するデータ選択回路とを有することを特徴とする。

【0009】

また、本発明のデータ再同期化装置は、前記並列ビット数が、前記入力クロック信号と前記出力クロック信号との位相差吸収，メタステーブル回避+ジッタ回避+スキュー回避，および前記入力クロック信号と前記出力クロック信号との周波数偏差吸収によって決定されることを特徴とする。

【0010】

さらにまた、本発明のデータ再同期化装置は、前記所定クロック長が、前記並列ビット数以上であることを特徴とする。

【0011】

一方、本発明のデータ再同期化方法は、基準クロック信号を発生する工程と、前記入力データ信号に同期化した入力クロック信号を発生する工程と、前記基準クロック信号に同期化した出力クロック信号を生成する工程と、前記入力データ信号を前記入力クロック信号に同期してパラレル化して並列ビット数の入力並列データ信号およびアイドルパターンビット数の入力並列データ信号を出力する工程と、前記アイドルパターンビット数の入力並列データ信号からデータフレームならびにデータフレームの開始位置および終了位置を検出してデータ検出信号を出力し、前記並列ビット数の入力並列データ信号の取込タイミングを決める第1の入力取込信号を出力する工程と、前記第1の入力取込信号に応じて前記並列ビッ

ト数の入力並列データ信号を前記入力クロック信号に同期して所定クロック長だけ時間軸方向に引き延ばし並列ビット数の伸張データ信号を出力する工程と、前記データ検出信号を入力し前記並列ビット数の入力並列データ信号の取込タイミングを別タイミングの出力クロック信号に同期して動作する回路に受け渡すための第2の入力取込信号を生成する工程と、前記データ検出信号を前記出力クロック信号に再同期化してデータ区間信号を出力する工程と、前記第2の入力取込信号を入力し前記並列ビット数の伸張データ信号を再同期化して取り込むための再取込信号を出力する工程と、前記並列ビット数の伸張データ信号を前記出力クロック信号に再同期化して並列ビット数の再データ信号を出力する工程と、前記データ区間信号を入力し前記入力データ信号がアイドルパターンであるときには自己で生成したアイドルパターンをアイドル信号として出力し、前記入力データ信号がデータフレームになったときに乗せ換えのためのタイミング信号である遅延信号および選択信号を出力する工程と、前記再取込信号に応じて前記並列ビット数の再データ信号をシリアル化して直列信号を出力する工程と、前記遅延信号に応じて前記直列信号を遅延させる工程と、前記選択信号に応じて前記アイドル信号と前記出力信号とを乗せ換えて出力データ信号を出力する工程とを有することを特徴とする。

【0 0 1 2】

さらに、本発明のデータ再同期化方法は、前記並列ビット数が、前記入力クロック信号と前記出力クロック信号との位相差吸収、メタステーブル回避+ジッタ回避+スキュー回避、および前記入力クロック信号と前記出力クロック信号との周波数偏差吸収によって決定されることを特徴とする。

【0 0 1 3】

さらにまた、本発明のデータ再同期化方法は、前記所定クロック長が、前記並列ビット数以上であることを特徴とする。

【0 0 1 4】

本発明に係るデータ再同期化装置では、図1に示すように、シリアル信号である入力データ信号bを入力クロック信号cに同期してパラレル化して並列ビット数の入力並列データ信号d～eを生成し（シフトレジスタ直並列回路03）、並列

ビット数の入力並列データ信号 d～e を入力クロック信号 c に同期して所定クロック長だけ時間軸方向に引き延ばして（入力データ伸張回路 05～06）、並列ビット数の伸張データ信号 g～h を出力する（入力クロック信号 c と出力クロック信号 n との位相差，メタステーブル，ジッタ，スキュー，入力クロック信号 c と出力クロック信号 n との周波数偏差を見込んだ分だけ引き延ばす）。次に、並列ビット数の伸張データ信号 g～h の変化点の中央付近で、データを取り込み直し出力クロック信号 n に再同期化して並列ビット数の再データ信号 j～k を生成する〔取込位置は変動する〕（データ再同期回路 11～12）。並列ビット数の再データ信号 j～k を再度「揺れない」ように同期化し直し（シフトレジスタ並直列回路 16）、シリアル化して直列信号 p を生成する（シフトレジスタ並直列回路 16）。続いて、自己で生成したアイドルパターン（アイドルパターン生成回路 17）（アイドル信号 r）の切れ目に同期をとって出力信号 u を生成し（データ遅延回路 18）、出力データ信号 w に出力する（データ選択回路 19）。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】

図1を参照すると、本発明の第1の実施の形態に係るデータ再同期化装置は、基準クロック発振回路01と、入力PLL発振回路02と、シフトレジスタ並直列回路03と、入力パターン検出回路04と、並列ビット数の入力データ伸張回路05～06と、入力データ取込信号生成回路07と、出力PLL発振回路10と、並列ビット数のデータ再同期回路11～12と、再同期データ取込信号生成回路13と、再同期データ区間信号生成回路14と、シフトレジスタ並直列回路16と、アイドルパターン生成回路17と、データ遅延回路18と、データ選択回路19とから構成される。

【0017】

図2～図4は、本実施の形態に係るデータ再同期化装置の、「時間1-1～時間1-3」のタイミングチャートである。なお、図2～図4に示す「時間1-1～時間1-3」のタイミングチャートは、入力クロック信号cの周波数と出力クロ

ック信号 n の周波数とがほぼ一致している場合を図示している。図 2 ～ 図 4 から分かるように、本実施の形態では、入力データ信号 b のデータフレーム長は一定長以下で既知であるものとし、具体的には、入力データ信号 b にデータが流れていないときには、8 ビット単位でアイドル信号 $id0 \sim id17$ が流れ、データフレームのデータは $b0 \sim b21$ の 22 ビットであるとする。

【0018】

詳しくは、本実施の形態では、①入力クロック信号 c と出力クロック信号 n との位相差吸収、②メタステーブル回避+ジッタ回避+スキュー回避、および③入力クロック信号 c と出力クロック信号 n との周波数偏差吸収、の 3 個の要素を吸収する必要がある。まず、最初の 2 項の吸収のために、①入力クロック信号 c と出力クロック信号 n との位相差吸収 = ± 1 ビット以内、および②メタステーブル回避+ジッタ回避+スキュー回避 = ± 1 ビット以内が必要になる。すなわち、最初の 2 項の吸収のために、「遅れ」を考慮して 2 ビット、「進み」を考慮して 2 ビット、合計 4 ビットが必要である。次に、3 項に関し、本実施の形態では、「データの引き延ばしを 6 ビット」としている。従って、「6 ビットの揺れ」まで吸収できるので、1 項、2 項を除いた残りが 3 項の吸収できる分になる。つまり、3 項で吸収できるのは、 $6 - 4 = 2$ ビットになる。よって、③入力クロック信号 c と出力クロック信号 n との周波数偏差吸収 = ± 1 ビット以内（未満）、すなわち、2 ビット未満の変動を吸収できる、2 ビット未満のマージンがあることになる。すなわち、所定クロック長は、①入力クロック信号 c と出力クロック信号 n との位相差吸収 = ± 1 ビット以内

、②メタステーブル回避+ジッタ回避+スキュー回避 = ± 1 ビット以内、③入力クロック信号 c と出力クロック信号 n との周波数偏差吸収 = ± 1 ビット以内の総計 6 ビットとする。

【0019】

また、入力クロック信号 c の周波数変動率 = $\pm 1\%$ 、出力クロック信号 n の周波数変動率 = $\pm 1\%$ と仮定すると、入力クロック信号 c と出力クロック信号 n との周波数偏差率 = $\pm 2\%$ になる。周波数の差分を吸収可能な最大データフレーム長（「一定長」） = α ビットとすると、 $(\alpha \text{ ビット}) * (4\%) < (2 \text{ ビット} < -$

③のマージン) でなければならない。これよりデータフレーム長が長いと、データ部の終わり付近での時間軸方向への揺れ分が、3項のマージンを越えるためである。これを解くと、 α ビット <50 ビットになる。すなわち、本実施の形態の「一定長」は、これを量子化(切り捨て)して、「一定長」=49ビットになる。

【0020】

さらに、入力データ信号bは、データフレームの開始位置および終了位置が明示されている信号であることが必要である。すなわち、「一番始めに来るデータ列(6ビット)の中心を狙ってデータを取り込み始める」という動作を行うことから、「開始位置」がわかる必要がある。また、「データの終わりに同期化して内部で生成したアイドルパターンを出力する必要がある」ことから、「終了位置」がわかる必要がある。逆に、「開始位置」がわからない信号であると、データの取込タイミングがわからないし、「終了位置」がわからない信号であると、内部で生成したアイドルパターンを同期化して出力できないのである。

【0021】

図5～図7は、本実施の形態に係るデータ再同期化装置の、「時間2-1～時間2-3」のタイミングチャートである。なお、図5～図7に示す「時間2-1～時間2-3」のタイミングチャートは、入力クロック信号cの周波数より出力クロック信号nの周波数が高周波である場合を参考のために図示している。「時間2-1～時間2-3」における周波数比は、入力クロック信号c：出力クロック信号n=約11：12である。

【0022】

基準クロック発振回路01は、基準となるクロック信号である基準クロック信号aを、入力PLL発振回路02および出力PLL発振回路10に出力する。

【0023】

入力PLL発振回路02は、入力データ信号bに同期化した入力クロック信号cを生成し、シフトレジスタ直並列回路03，入力パターン検出回路04，入力データ伸張回路05～06，および入力データ取込信号生成回路07に出力する。通常、入力PLL発振回路02は、基準クロック発振回路01に同期化して動作

しているのではなく、入力データ信号 b に同期化して動作している。（そのため、データが無いときでもアイドルパターンが常時送出されている。）入力データ信号 b を出力している回路が故障して、入力データ信号 b にデータが来なくなると、入力 PLL 発振回路 02 は、動作異常となってしまふ。また、いったんこのような異常状態になると、入力 PLL 発振回路 02 は、電源を切るまで復旧しないか、最悪の場合には破壊にいたることもある。このときの対策用に、入力データ信号 b に異常が生じたとき、異常状態／破壊を避けるため、ほぼ間違いなく発振している基準クロック発振回路 01 に同期化して発振するようにしている。

【0024】

シフトレジスタ直並列回路 03 は、下記段落の如く、9 ビットのシフトレジスタで構成され、シリアル信号である入力データ信号 b をパラレル化し、再同期化用データ信号として並列ビット数の入力並列データ信号 d～e を並列ビット数の入力データ伸張回路 05～06 に出力し、入力データのパターン検出用としてアイドルパターンビット数の入力並列データ信号 x～y を入力パターン検出回路 04 に出力する。アイドルパターンビット数の入力並列データ信号 x～y は、8 ビットのシフトレジスタ出力である（アイドルパターンを 8 ビット長と仮定）。また、並列ビット数の入力並列データ信号 d～e は、6 ビットのシフトレジスタ出力である（データを引き延ばす所定クロック長を 6 ビットと仮定）。並列ビット数の入力並列データ信号 d～e は、アイドルパターンビット数の入力並列データ信号 x～y より 1 ビット過去のデータを保持しているとする。

【0025】

シフトレジスタ直並列回路 03 の構成（シフト方向は上から下に向かう）

```
new data      bit8=入力並列データ信号 x
2nd new data bit7=  .
                data bit6=  .
                data bit5=  .          , 入力並列データ信号 d
                data bit4=  .          ,          .
                data bit3=  .          ,          .
                data bit2=  .          ,          .
```

data bit1=入力並列データ信号 y,
old data bit0= 入力並列データ信号 e

【0026】

入力パターン検出回路04は、アイドルパターンビット数の入力並列データ信号 x～y からデータフレームならびにデータフレームの開始位置および終了位置を検出してデータ検出信号 f を入力データ取込信号生成回路07および再同期データ区間信号生成回路14に出力するとともに、並列ビット数の入力並列データ信号 d～e の取込タイミングを決める入力取込信号 i を生成して並列ビット数の入力データ伸張回路05～06に出力する。入力パターン検出回路04では、アイドルパターンの終わり／始まりを検出するため、アイドルパターンのビットがどういふ並びで、何ビットなのかをあらかじめ知っておく必要がある。また、自己で生成する必要があるので、ビットパターンおよび長さが既知である必要がある。図2～図7のタイミングチャートでは、汎用性を持たせ、論理0，論理1を明示せずに、「i d o l 0」，「i d o l 1」，「i d o l 2」，「i d o l 3」，「i d o l 4」，「i d o l 5」，「i d o l 6」，「i d o l 7」と記載している。実際には、ビット列「10110110」とか「11001101」などのようなインターフェース仕様で決められた（取り決めた）データのアイドルパターンが、「例えば、8ビットの固まり」の繰り返しとして、連続して流れている。

【0027】

並列ビット数の入力データ伸張回路05～06は、入力取込信号 i がアクティブになるたびに並列ビット数の入力並列データ信号 d～e を取り込み、並列ビット数の伸張データ信号 g～h を並列ビット数のデータ再同期回路11～12に出力する。並列ビット数の伸張データ信号 g～h は、入力クロック信号 c に同期して動作する6ビットのフリップフロップ出力で、並列ビット数の入力並列データ信号 d～e を入力取込信号 i に従って所定クロック長*入力クロック信号 c に1回だけ取り込むことで、入力データ信号 b を時間軸方向に所定クロック長だけ引き延ばして保持している信号である。並列ビット数の入力データ伸張回路05～06は、入力PLL発振回路02と出力PLL発振回路10との周波数偏差，入力

P L L 発振回路 0 2 のジッタ，入力 P L L 発振回路 0 2 の入力クロック信号 c と出力 P L L 発振回路 1 0 の出力クロック信号 n のアクティブエッジの衝突まで考慮した時間（所定クロック長）だけ、パラレル化された入力並列データ信号 d ～ e を時間軸方向に引き延ばす。上記所定クロック長は、本実施の形態では 6 ビット分であるが、実際に引き延ばすのに必要な所定クロック長は、①入力クロック信号 c と出力クロック信号 n との位相差吸収＝± 1 ビット以内（通常は「± 1 ビット以内」で収まる），②メタステーブル回避＋ジッタ回避＋スキュー回避＝± 1 ビット以内（これも、転送レートが上がると回りの回路も高速な回路になるので、通常は「± 1 ビット以内」で収まる），③入力クロック信号 c と出力クロック信号 n との周波数偏差吸収＝± 1 ビット以内（これは、以下の計算が必要）である。

【0028】

入力クロック信号 c の周波数変動率が± a %（実施の形態では± 1 %、通常は± 0.01 %）、出力クロック信号 n の周波数変動率が± b %（実施の形態では± 1 %、通常は± 0.01 %）と仮定すると、入力クロック信号 c と出力クロック信号 n との周波数偏差率は± (a + b) %（実施の形態では± 2 %、通常は± 0.02 %）、データフレーム長＝c ビット（実施の形態では 22 ビット、通常はいろいろあるが、2070 バイト＝16560 ビットとする）と仮定できる。データが流れている間に入力クロック信号 c と出力クロック信号 n とがずれ始め、データの終わりにずれる量は、「データフレーム長」*「入力クロック信号 c と出力クロック信号 n との周波数偏差率」＝c * {2 * (a + b)}（実施の形態では 22 ビット * {2 * (1 % + 1 %)}＝0.88 ビット＝> 切り上げ（ただし、「遅れ」と「進み」があるので、2 の倍数）＝> 2 ビット、通常では 16560 ビット * {2 * (0.01 % + 0.01 %)}＝6.624 ビット＝> 切り上げ（ただし、「遅れ」と「進み」があるので、2 の倍数）＝> 8 ビットになる。従って、本実施の形態では、2 + 2 + 2＝6 ビット、通常（データフレーム長はいろいろな値をとるが）では、2 + 2 + 8＝12 ビットになる。

【0029】

また、入力データ伸張回路 0 5 ～ 0 6 の段数（並列ビット数）は、引き延ばす所

定クロック長と同数必要になる。本実施の形態では、6ビットに引き延ばしているので、「6段」必要である。段数が足りないと、データが抜け、段数が多いと余計なデータが入ってしまうことになる（段数が多い分には、過剰分を無視すれば問題ない）。図2に示す「時間1-1」のタイミングチャートでは、並列ビット数の入力並列データ信号d～eに書いてある「i d o l 5 . . 0」（6ビット）である。

【0030】

入力データ取込信号生成回路07は、データ検出信号fがアクティブになると、パラレル化された並列ビット数の入力並列データ信号d～eの取込タイミングを別タイミングの出力クロック信号nに同期して動作する以下の回路に受け渡すための入力取込信号zを一定時間毎に生成し、再同期データ取込信号生成回路13に出力する。入力取込信号zは、並列ビット数の伸張データ信号g～hを出力クロック信号nに同期して間違いなく取り込むために、並列ビット数の伸張データ信号g～hの変化点から1クロック遅れた地点でアクティブとなり、入力クロック信号cと出力クロック信号nとの位相差、メタステーブル、ジッタ、スキュー、入力クロック信号cと出力クロック信号nとの周波数偏差等を考慮し、3クロックの間アクティブになる。

【0031】

出力PLL発振回路10は、基準クロック信号aに同期化した出力クロック信号nを生成し、並列ビット数のデータ再同期回路11～12，再同期データ取込信号生成回路13，再同期データ区間信号生成回路14，シフトレジスタ並直列回路16，アイドルパターン生成回路17，データ遅延回路18，およびデータ選択回路19に出力する。出力PLL発振回路10は、基準クロック発振回路01に同期化して発振しているので、入力クロック信号cと出力クロック信号nとは、別位相、別周波数のクロック信号になる。

【0032】

並列ビット数のデータ再同期回路11～12は、出力クロック信号nに同期して動作する6ビットのフリップフロップで構成され、並列ビット数の伸張データ信号g～hを出力クロック信号nに再同期化し、現在の出力信号の状態を見ながら

データ出力が可能となるまで再同期化したデータ信号を遅延させて並列ビット数の再データ信号 $j \sim k$ をシフトレジスタ並直列回路 16 に出力する。すなわち、並列ビット数のデータ再同期回路 11 ～ 12 は、再取込信号 1 で示される位置で（並列ビット数の伸張データ信号 $g \sim h$ の変化点の中央付近で）、入力クロック信号 c に同期して 6 倍に引き延ばされた並列ビット数の伸張データ信号 $g \sim h$ を出力クロック信号 n に再同期化し、並列ビット数の再データ信号 $j \sim k$ をシフトレジスタ並直列回路 16 に出力する。

【0033】

再同期データ取込信号生成回路 13 は、入力取込信号 z に従って、入力クロック信号 c とは別位相である出力クロック信号 n に同期化したタイミングで、かつ並列ビット数の伸張データ信号 $g \sim h$ の時間軸方向に引き延ばされた信号の時間的に真ん中のタイミングでデータを取り込めるように再取込信号 1 を並列ビット数のデータ再同期回路 11 ～ 12 に出力する。また同様に、再同期データ取込信号生成回路 13 は、再取込信号 q をシフトレジスタ並直列回路 16 およびアイドルパターン生成回路 17 に出力する。詳しくは、再同期データ取込信号生成回路 13 は、入力クロック信号 c に同期化した入力取込信号 z を出力クロック信号 n に同期して打ち直し、並列ビット数の伸張データ信号 $g \sim h$ の変化点の中央付近でデータを取り込めるように、入力取込信号 z から 2 * 出力クロック信号 n の位置でアクティブとなり、1 * 出力クロック信号 n の間、再取込信号 1 を生成し、並列ビット数のデータ再同期回路 11 ～ 12 に出力する。再取込信号 1 は、入力クロック信号 c に同期化した信号を異なる位相／周波数である出力クロック信号 n で打ち直すため、位置は時間軸方向に揺らぐ。また、再同期データ取込信号生成回路 13 は、「揺らぐ」再データ信号 $j \sim k$ を「揺るがない」ようにするため、「揺るがない打ち抜き用の信号」である再取込信号 q を生成し、シフトレジスタ並直列回路 16 およびアイドルパターン生成回路 17 に出力する。再取込信号 1 が揺らいでも問題なくデータを取り込めるように、並列ビット数の再データ信号 $j \sim k$ の変化点の中央付近に来るように、再取込信号 1 から 3 * 出力クロック信号 n 遅れた位置から 1 * 出力クロック信号 n の間、再取込信号 q を生成する。

【0034】

再同期データ区間信号生成回路 1 4 は、入力クロック信号 c に同期して動作するデータ検出信号 f によりデータフレームの終了位置を検出すると、データ検出信号 f を出力クロック信号 n で打ち直し、データフレームからアイドルパターンへの切り替えがスムーズになるようにデータ区間信号 m を生成してアイドルパターン生成回路 1 7 に出力する。

【 0 0 3 5 】

シフトレジスタ並直列回路 1 6 は、「揺れる信号」である並列ビット数の再データ信号 j ～ k の並列データ信号を「揺れない取込信号である」再取込信号 q に同期化して取り込み（並列ビット数の再データ信号 j ～ k の中央付近で取り込み）、シリアル化して、直列信号 p をデータ遅延回路 1 8 に出力する。

【 0 0 3 6 】

アイドルパターン生成回路 1 7 は、データフレームになるまではアイドルパターンをアイドル信号 r としてデータ選択回路 1 9 に出力し、選択信号 s をインアクティブにして再同期データ取込信号生成回路 1 3 およびデータ選択回路 1 9 に出力する。また、アイドルパターン生成回路 1 7 は、アイドルパターンの切れ目からデータが出力されるように直列信号 p を遅延させる遅延信号 o をデータ遅延回路 1 8 に出力し、適当なタイミングで選択信号 s をアクティブとしてデータ選択回路 1 9 に出力する。アイドルパターン生成回路 1 7 は、入力データ信号 b がアイドルパターンの場合は自己で生成したアイドルパターンを出力し、入力データ信号 b がデータフレームになったときに乗せ換えのためのタイミング信号である遅延信号 o および選択信号 s を出力する。詳しくは、アイドルパターン生成回路 1 7 は、b 0 ～ b 2 1 のデータフレームが検出されるまではフリーランでアイドルデータ i d o l 0 ～ i d o l 7 を生成してアイドル信号 r をデータ選択回路 1 9 に出力し、データフレームを出力し始めると、アイドルデータ i d o l 0 をデータ選択回路 1 9 に出力し、データの終わりで再度フリーランでアイドルデータ i d o l 0 ～ i d o l 7 を生成してデータ選択回路 1 9 に出力する。また、アイドルパターン生成回路 1 7 は、アイドルパターンから再同期化したデータに正確に乗せ換えるために、アイドルパターンの i d o l 7 が出終わるまで直列信号 p を待たせておくための遅延信号 o を生成しデータ遅延回路 1 8 に出力する。さら

に、アイドルパターン生成回路 17 は、アイドルパターンと再同期化したデータとを切り替えるための選択信号 s を生成し、再同期データ取込信号生成回路 13 およびデータ選択回路 19 に出力する。なお、アイドル信号 r は、データの無い状態では、「i d o l 0」, 「i d o l 1」, 「i d o l 2」, 「i d o l 3」, 「i d o l 4」, 「i d o l 5」, 「i d o l 6」, 「i d o l 7」を繰り返し生成している。必ず「i d o l 7」の次のビットからデータの 1 ビット目が始まり、データの最後のビットの次は必ず「i d o l 0」から始まることから、アイドルパターンは既知のビット列の整数倍であることが知られる。

【0037】

データ遅延回路 18 は、アイドルパターンからデータフレームへのつながりをスムーズに行うため、アイドルパターンと非同期に生成されるシリアル化されたデータ信号である直列信号 p との乗せ換えタイミングを図るために遅延信号 o に従って直列信号 p を遅延させ、出力信号 u をデータ選択回路 19 およびアイドルパターン生成回路 17 に出力する。すなわち、データ遅延回路 18 は、直列信号 p をアイドル信号 r の切れ目に同期化して出力するため、直列信号 p にデータが流れたとき、また遅延信号 o がアクティブの間、直列信号 p を遅延させ、その遅延量を保持し、アイドル信号 r の切れ目で出力信号 u をデータ選択回路 19 およびアイドルパターン生成回路 17 に出力する。

【0038】

データ選択回路 19 は、自己で生成したアイドルパターンと非同期に生成されるシリアル化されたデータ信号とを乗せ換え、出力データ信号 w を出力する。すなわち、データ選択回路 19 は、選択信号 s がインアクティブなときはアイドル信号 r を、選択信号 s がアクティブになると出力信号 u を、出力データ信号 w を出力する。

【0039】

次に、このように構成された第 1 の実施の形態に係るデータ再同期化装置の動作について説明する。ここでは、図 1 に示すブロック図、および図 2 ないし図 4 に示す「時間 1-1 ～時間 1-3」のタイミングチャートを使用して説明する。

【0040】

データフレーム（b 0 ～ b 2 1）ではない間は、出力クロック信号 n に同期化し、アイドルパターン生成回路 1 7 で生成されたアイドル信号 r（フリーラン）（i d o l 0 ～ i d o l 7）が、1 * 出力クロック信号 n 遅れて、データ選択回路 1 9 を経由して出力データ信号 w に出力されている（出力クロック信号 n __ 1 等）。

【 0 0 4 1 】

シフトレジスタ直並列回路 0 3 は、入力クロック信号 c の立ち上がりエッジで入力データ信号 b をパラレル化し、並列ビット数の入力並列データ信号 d ～ e、およびアイドルパターンビット数の入力並列データ信号 x ～ y を出力している（入力クロック信号 c __ 1 ～）。

【 0 0 4 2 】

アイドルパターンビット数の入力並列データ信号 x ～ y が b 0 ～ b 7 となり、アイドルパターンではないことが確認されると、入力パターン検出回路 0 4 は、データ検出信号 f をアクティブにする（入力クロック信号 c __ 1 0）。

【 0 0 4 3 】

また、同時に、入力パターン検出回路 0 4 は、入力取込信号 i を 1 * 入力クロック信号 c だけアクティブにする（入力クロック信号 c __ 1 0）。

【 0 0 4 4 】

以降、入力取込信号 i は、データフレームが終了し、アイドルパターンが再度検出されるまで（入力クロック信号 c __ 3 4）、6 * 入力クロック信号 c 毎に 1 * 入力クロック信号 c の間だけアクティブになる（入力クロック信号 c __ 1 6, 2 2, 2 8）。

【 0 0 4 5 】

入力取込信号 i がアクティブになると、並列ビット数の入力データ伸張回路 0 5 ～ 0 6 は、次の入力クロック信号 c（入力クロック信号 c __ 1 1, 1 7, 2 3, 2 9）で、並列ビット数の入力並列データ信号 d ～ e を取り込み、並列ビット数の伸張データ信号 g ～ h をデータ再同期回路 1 1 ～ 1 2 に出力する（入力クロック信号 c __ 1 1 等）。

【 0 0 4 6 】

並列ビット数の入力データ伸張回路 05～06 は、入力取込信号 i がインアクティブの間は並列ビット数の伸張データ信号 $g \sim h$ を保持している（入力クロック信号 $c_{12} \sim 16$ 等）。

【0047】

また、データ検出信号 f がアクティブになると、入力データ取込信号生成回路 07 は、入力取込信号 z を $2 \times$ 入力クロック信号 c 遅れた位置から、 $3 \times$ 入力クロック信号 c の間アクティブとする（入力クロック信号 $c_{12} \sim 14$ 等）。以降、入力取込信号 z は、 $6 \times$ 入力クロック信号 c 毎に $3 \times$ 入力クロック信号 c の間アクティブとなる。入力クロック信号 c に同期化した入力取込信号 z を、別位相、別周波数の出力クロック信号 n で打ち直して再取込信号 l を確実に生成するために、各々のクロックのエッジの衝突、ジッタ、スキュー、周波数偏差などを回避するために $3 \times$ 入力クロック信号 c の幅を持たせてある。

【0048】

データ検出信号 f がアクティブになると、再同期データ区間信号生成回路 14 は、データ区間信号 m を $2 \times$ 出力クロック信号 n 遅れてアクティブとする（出力クロック信号 n_{11} ）。

【0049】

入力取込信号 z がアクティブになると（入力クロック信号 c_{12} 等）、再同期データ取込信号生成回路 13 は、 $2 \times$ 出力クロック信号 n 遅れて、すなわち並列ビット数の伸張データ信号 $g \sim h$ の変化点の中央付近で、 $1 \times$ 出力クロック信号 n の間だけ再取込信号 l をアクティブとする（出力クロック信号 $n_{13}, 19, 25, 31$ ）。

【0050】

再取込信号 l がアクティブとなると（出力クロック信号 n_{13} 等）、並列ビット数のデータ再同期回路 11～12 は、 $1 \times$ 出力クロック信号 n 遅れて並列ビット数の伸張データ信号 $g \sim h$ を取り込み、並列ビット数の再データ信号 $j \sim k$ をシフトレジスタ並直列回路 16 に出力する（出力クロック信号 n_{14} 等）。

【0051】

再取込信号 l がインアクティブの間（出力クロック信号 n_{14} 等）、並列ビッ

ト数のデータ再同期回路 11～12 は、その値を保持する（出力クロック信号 n__15～19 等）。

【0052】

再取込信号 1 がアクティブになると（出力クロック信号 n__13 等）、再同期データ取込信号生成回路 13 は、3 * 出力クロック信号 n 遅れた位置で、すなわち並列ビット数の再データ信号 j～k の変化点の中央付近で、1 * 出力クロック信号 n の間だけ再取込信号 q をアクティブとする。以降、再同期データ取込信号生成回路 13 は、6 * 出力クロック信号 n 毎に、1 * 出力クロック信号 n の間だけ再取込信号 q をアクティブとする。

【0053】

再取込信号 q がアクティブとなると（出力クロック信号 n__16 等）、シフトレジスタ並直列回路 16 は、1 * 出力クロック信号 n 遅れて並列ビット数の再データ信号 j～k を取り込み、シリアル化し、直列信号 p をデータ遅延回路 18 に出力する（出力クロック信号 n__17 等）。

【0054】

再取込信号 q がアクティブになると、アイドルパターン生成回路 17 は、1 * 出力クロック信号 n 遅れて遅延信号 o をアクティブとする（出力クロック信号 n__17）。

【0055】

アイドルパターン生成回路 17 は、1 回目の再取込信号 q の出力の後、アイドル信号 r の切れ目である i d o l 6（出力クロック信号 n__18）が終わるまで遅延信号 o をアクティブとし、i d o l 7（出力クロック信号 n__19）で遅延信号 o をインアクティブとする。

【0056】

データ遅延回路 18 は、再取込信号 q が 1 回アクティブとなった（出力クロック信号 n__16）後で、また遅延信号 o がアクティブの間（出力クロック信号 n__18）は直列信号 p を遅延させ、遅延信号 o がインアクティブになる（出力クロック信号 n__19）と、次の出力クロック信号 n（出力クロック信号 n__20）から遅延させた直列信号 p を出力信号 u として出力する（出力クロック信号 n__

2 0 ～)。また、データ遅延回路 1 8 は、この遅延値をデータフレームを出力している間保持する。

【0 0 5 7】

アイドルパターン生成回路 1 7 は、出力信号 u のデータフレームのデータ数をカウントする。また、アイドルパターン生成回路 1 7 は、遅延信号 o がインアクティブとなった次の出力クロック信号 n (出力クロック信号 n__2 0) で選択信号 s をアクティブとする (出力クロック信号 n__2 0 ～)。

【0 0 5 8】

選択信号 s がアクティブになると (出力クロック信号 n__2 0 ～)、アイドルパターン生成回路 1 7 のアイドル信号 r は、i d o l 0 を保持する (出力クロック信号 n__2 0 ～)。

【0 0 5 9】

データ選択回路 1 9 は、選択信号 s がインアクティブの間 (出力クロック信号 n__1 ～1 9) はアイドル信号 r を 1 * 出力クロック信号 n 遅れて出力データ信号 w を出力し、選択信号 s がアクティブになる (出力クロック信号 n__2 0 ～) と、データが流れている出力信号 u を 1 * 出力クロック信号 n 遅れて出力データ信号 w を出力する (出力クロック信号 n__2 1 ～)。すなわち、入力クロック信号 c に同期化した入力データ信号 b が、出力クロック信号 n に再同期化されて出力データ信号 w を出力される。

【0 0 6 0】

入力パターン検出回路 0 4 は、アイドルパターンビット数の入力並列データ信号 x ～ y にアイドルパターンが検出されると (入力クロック信号 c__3 2)、データフレームの終了と判断し、データ検出信号 f をインアクティブとする (入力クロック信号 c__3 2)。また、入力パターン検出回路 0 4 は、アイドルパターンビット数の入力並列データ信号 x ～ y にアイドルパターンが検出されると (入力クロック信号 c__3 2)、入力取込信号 i もインアクティブとする (入力クロック信号 c__3 4)。

【0 0 6 1】

入力取込信号 i がインアクティブとなるため (入力クロック信号 c__3 4)、並

列ビット数の入力データ伸張回路 0 5 ～ 0 6 の出力である並列ビット数の伸張データ信号 g ～ h は、前回のラッチデータである i d o l 1 , i d o l 1 0 , b 2 1 ～ b 1 8 をそのまま保持する（入力クロック信号 c _ 3 5 ～）。

【 0 0 6 2 】

同様に、データ検出信号 f がインアクティブとなるため（入力クロック信号 c _ 3 4 ～）、入力データ取込信号生成回路 0 7 の出力である入力取込信号 z もインアクティブとなる（入力クロック信号 c _ 3 6 ～）。

【 0 0 6 3 】

入力取込信号 z がインアクティブとなるため（入力クロック信号 c _ 3 6 ～）、再同期データ取込信号生成回路 1 3 の出力である再取込信号 l もインアクティブとなる（出力クロック信号 n _ 3 7 ～）。

【 0 0 6 4 】

再取込信号 l がインアクティブとなるため（出力クロック信号 n _ 3 7 ～）、並列ビット数のデータ再同期回路 1 1 ～ 1 2 の出力である並列ビット数の再データ信号 j ～ k は、前回のラッチデータである i d o l 1 , i d o l 1 0 , b 2 1 ～ b 1 8 を保持する（出力クロック信号 n _ 3 8 ～）。

【 0 0 6 5 】

データ検出信号 f がインアクティブになるので（入力クロック信号 c _ 3 4 ～）、再同期データ区間信号生成回路 1 4 の出力であるデータ区間信号 m は、インアクティブとなる（出力クロック信号 n _ 3 5 ～）。

【 0 0 6 6 】

データ区間信号 m がインアクティブになった後（出力クロック信号 n _ 3 5 ～）、アイドルパターン生成回路 1 7 で「全データ」を数え終わると（2 2 ビット）（出力クロック信号 n _ 4 2 ）、アイドルパターン生成回路 1 7 の出力である選択信号 s がインアクティブとなる（出力クロック信号 n _ 4 2 ～）。

【 0 0 6 7 】

また、選択信号 s がインアクティブになると（出力クロック信号 n _ 4 2 ）、アイドルパターン生成回路 1 7 は、アイドルパターン i d o l 0 ～ i d o l 7 の生成を開始してアイドル信号 r を出力する（出力クロック信号 n _ 4 2 ）。

【0068】

選択信号 s がインアクティブになると（出力クロック信号 n__42）、再同期データ取込信号生成回路 13 は、再取込信号 q をインアクティブとする（出力クロック信号 n__46～）。

【0069】

データカウンタが 21 になると（出力クロック信号 n__40）、アイドルパターン生成回路 17 は、データ遅延回路 18 に対し、遅延値を 0 にする遅延信号 o を出力し（出力クロック信号 n__41）、データ遅延回路 18 の遅延はリセットされ、直列信号 p が 1 * 出力クロック信号 n だけ遅れた信号が出力信号 u としてデータ選択回路 19 およびアイドルパターン生成回路 17 に出力される（出力クロック信号 n__43～）。

【0070】

選択信号 s がインアクティブになると（出力クロック信号 n__42）、データ選択回路 19 は、次の出力クロック信号 n からアイドル信号 r を出力データ信号 w を出力する（出力クロック信号 n__43～）。

【0071】

以上の動作を行うことで、直列信号 p にデータフレームが無いときには、自己で生成したアイドルパターンをアイドル信号 r として出力し、データフレームが入力されたときにはアイドル信号 r の切れ目に同期化して、入力データ信号 b を出力クロック信号 n に再同期化して出力し、データフレームでは無くなったときにはデータフレームの切れ目で、自己で生成したアイドルパターンをアイドル信号 r として出力することができる。

【0072】

なお、図 5～図 7 に示す「時間 2-1～時間 2-3」のタイミングチャートに示す、入力クロック信号 c の周波数より出力クロック信号 n の周波数が高周波で有る場合の動作については、既述した図 2～図 4 に示す「時間 1-1～時間 1-3」のタイミングチャートに示す場合とほぼ同様となるので、詳しい説明を省略する。

【0073】

本実施の形態では、以上の機能を持つ回路ブロックでデータ再同期化装置を構成することにより、入力クロック信号 c に同期化した信号を高い信頼性を保ってほぼ同一の周波数であるが、位相の異なる出力クロック信号 n に再同期化させデータを出力できる。すなわち、ジッタが大きくなって電圧レベルの減衰した信号を波形整形し次段に送付することが可能となる。

【 0 0 7 4 】**【発明の効果】**

第 1 の効果は、高速なシリアル信号を長距離伝送するとジッタが大きくなるのを防ぐことができることである。その理由は、入力クロック信号に同期化した信号を高い信頼性を保ってほぼ同一の周波数であるが位相の異なる出力クロック信号に再同期化させてデータを出力できるからである。

【 0 0 7 5 】

第 2 の効果は、再同期化したデータの信頼性を高めることができることである。その理由は、ジッタが大きくなって電圧レベルの減衰した信号を波形整形し次段に送付することが可能となるからである。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施の形態に係るデータ再同期化装置の構成を示す回路ブロック図である。

【図 2】

第 1 の実施の形態に係るデータ再同期化装置における「時間 1 - 1」のタイミングチャートである。

【図 3】

第 1 の実施の形態に係るデータ再同期化装置における「時間 1 - 2」のタイミングチャートである。

【図 4】

第 1 の実施の形態に係るデータ再同期化装置における「時間 1 - 3」のタイミングチャートである。

【図 5】

第 1 の実施の形態に係るデータ再同期化装置における「時間 2 - 1」のタイミングチャートである。

【図 6】

第 1 の実施の形態に係るデータ再同期化装置における「時間 2 - 2」のタイミングチャートである。

【図 7】

第 1 の実施の形態に係るデータ再同期化装置における「時間 2 - 3」のタイミングチャートである。

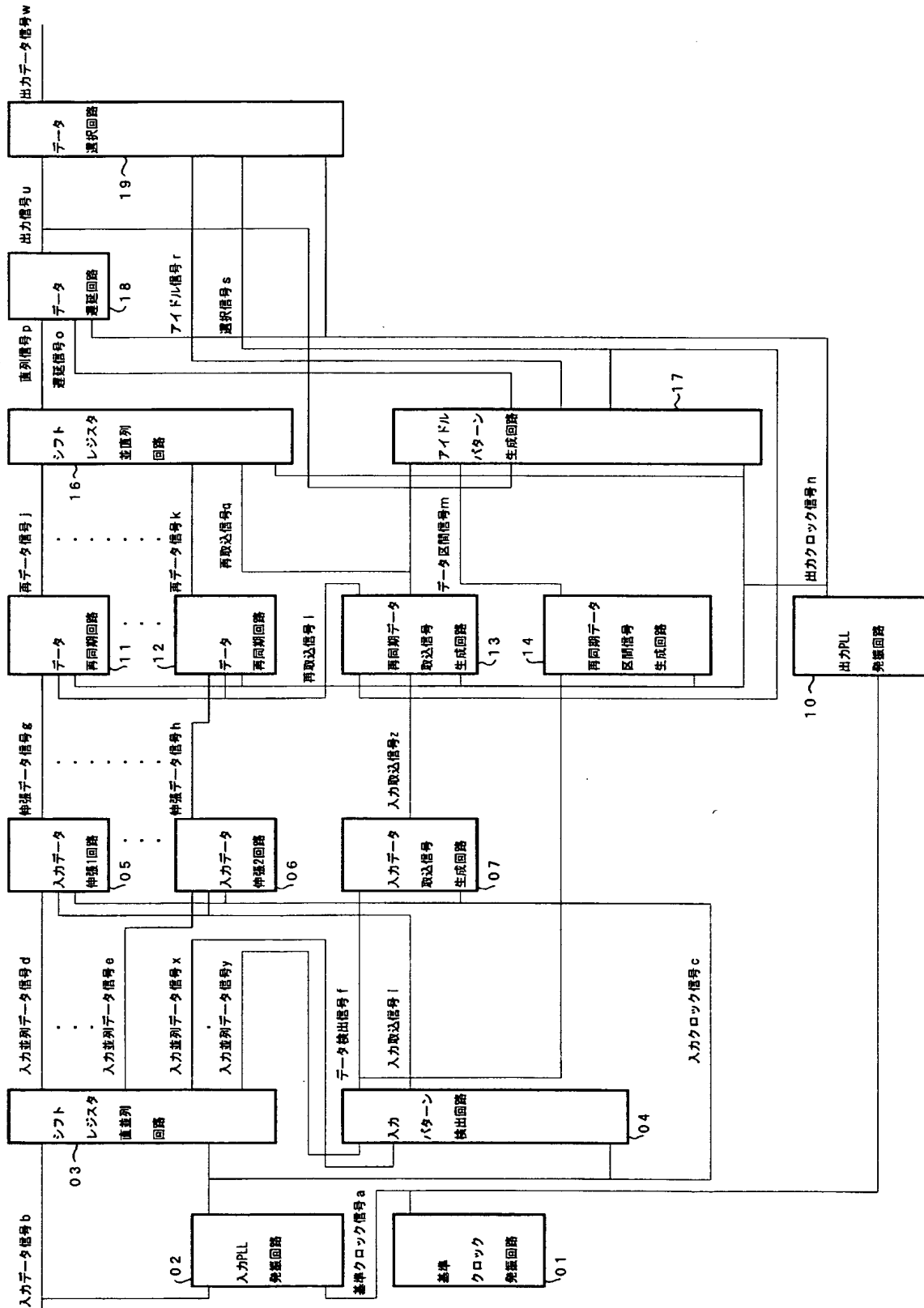
【符号の説明】

- 0 1 基準クロック発振回路
- 0 2 入力 P L L 発振回路
- 0 3 シフトレジスタ直並列回路
- 0 4 入力パターン検出回路
- 0 5 ~ 0 6 入力データ伸張回路
- 0 7 入力データ取込信号生成回路
- 1 0 出力 P L L 発振回路
- 1 1 ~ 1 2 データ再同期回路
- 1 3 再同期データ取込信号生成回路
- 1 4 再同期データ区間信号生成回路
- 1 6 シフトレジスタ並直列回路
- 1 7 アイドルパターン生成回路
- 1 8 データ遅延回路
- 1 9 データ選択回路
- a 基準クロック信号
- b 入力並列データ信号
- c 入力クロック信号
- d 入力並列データ信号
- e 入力並列データ信号
- f データ検出信号

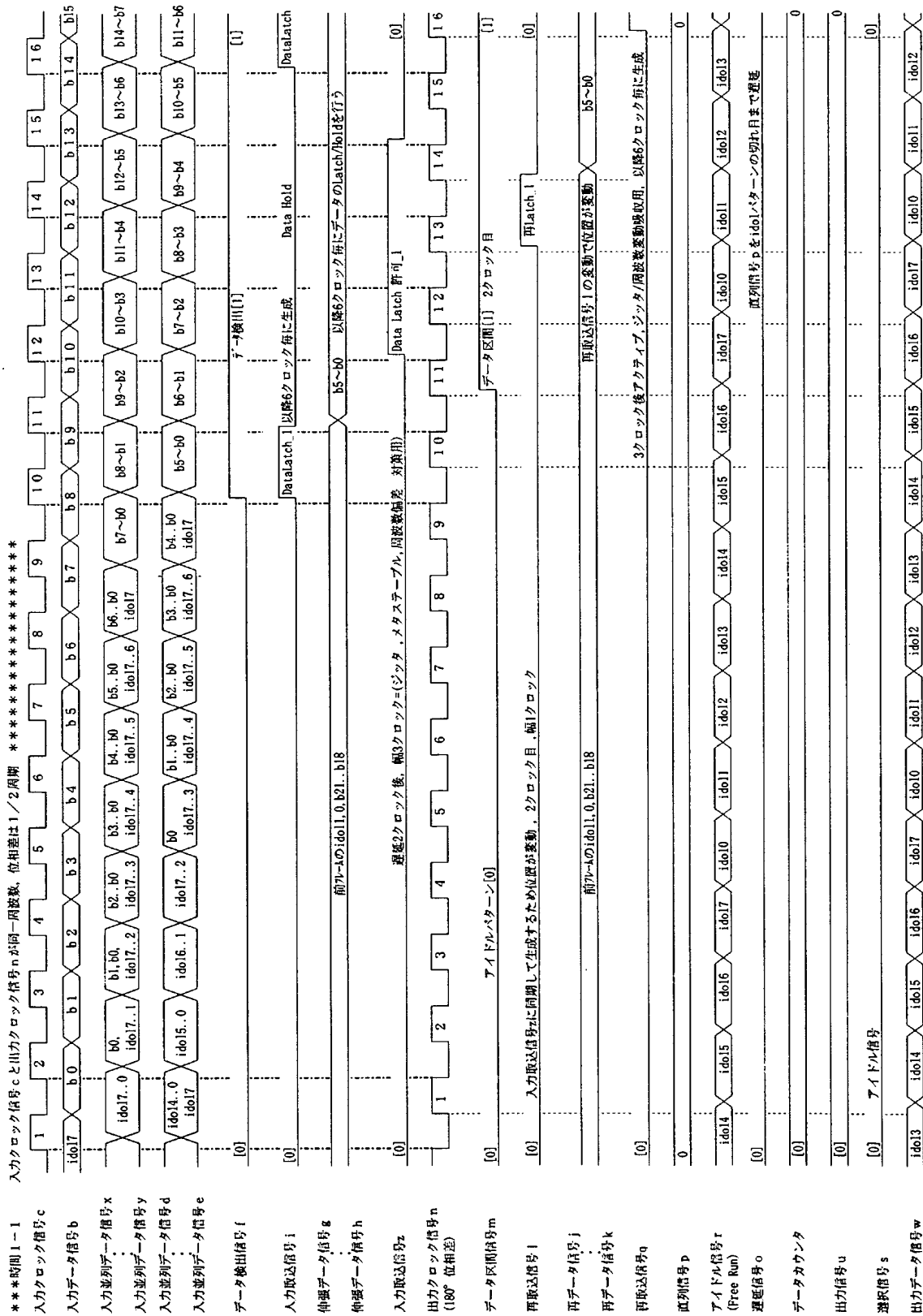
g 伸張データ信号
h 伸張データ信号
i 入力取込信号
j 再データ信号
k 再データ信号
l 再取込信号
m データ区間信号
n 出力クロック信号
o 遅延信号
p 直列信号
q 再取込信号
r アイドル信号
s 選択信号
u 出力信号
w 出力データ信号
x 入力並列データ信号
y 入力並列データ信号
z 入力取込信号

【書類名】 図面

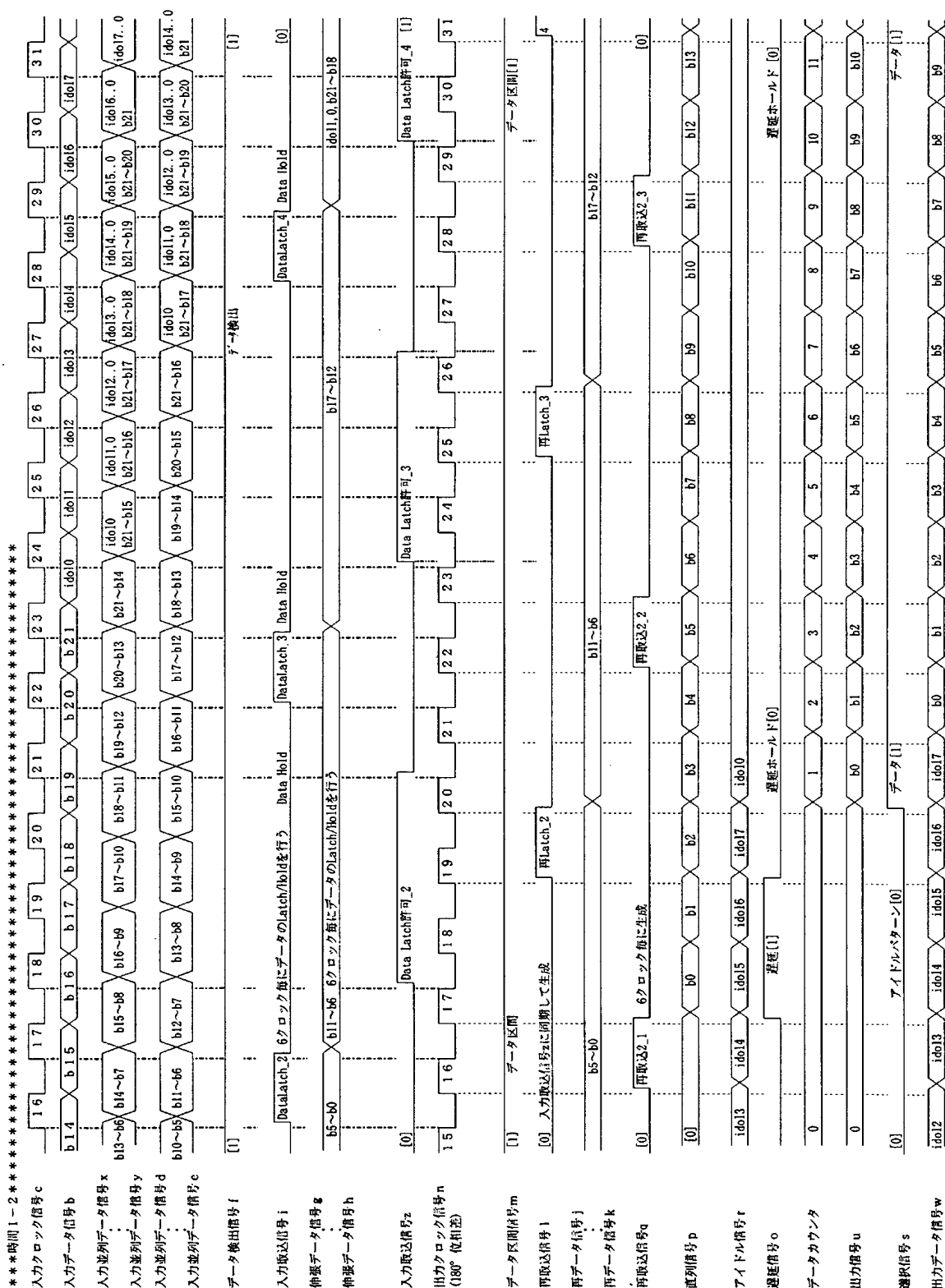
【図 1】



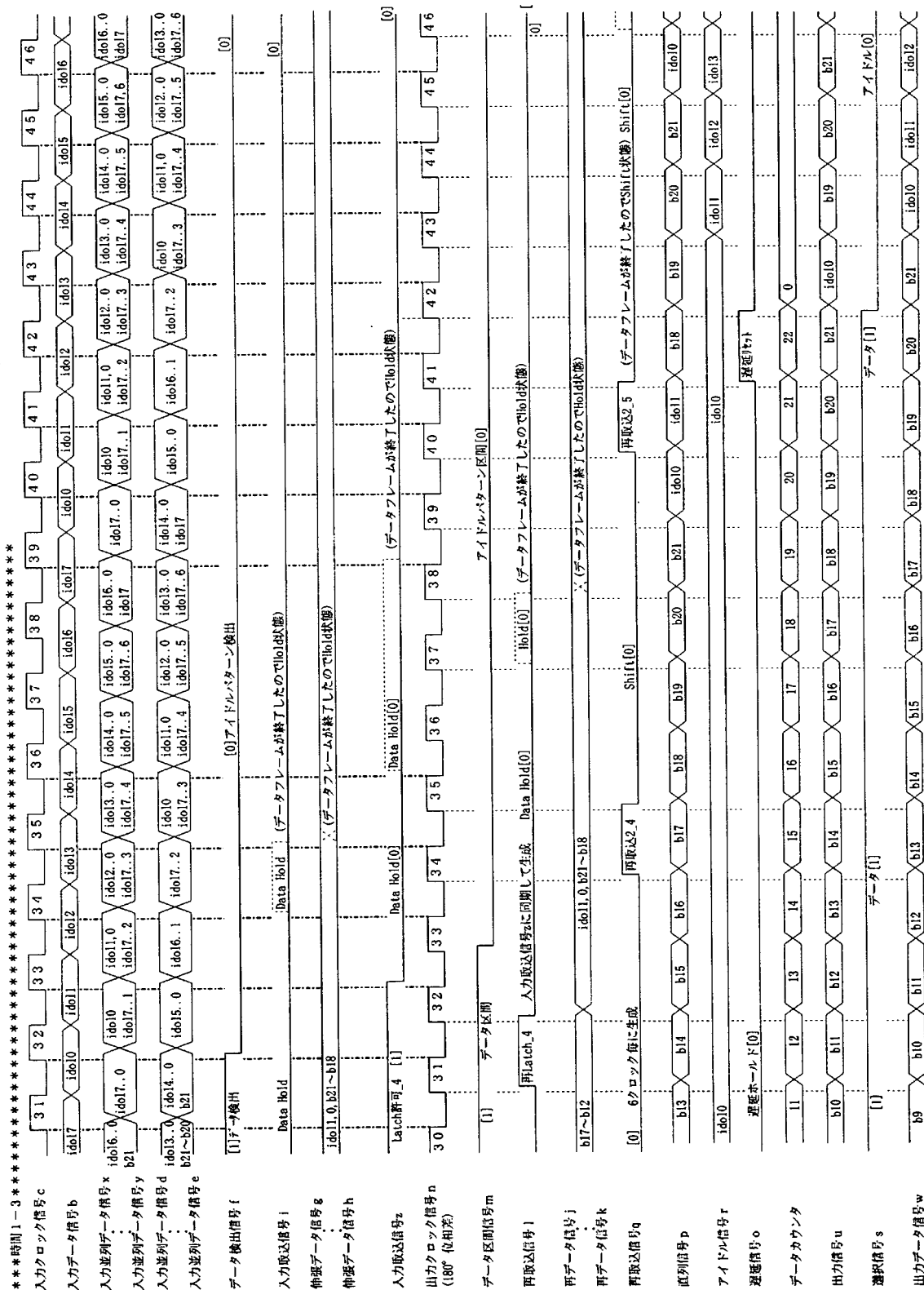
【図 2】



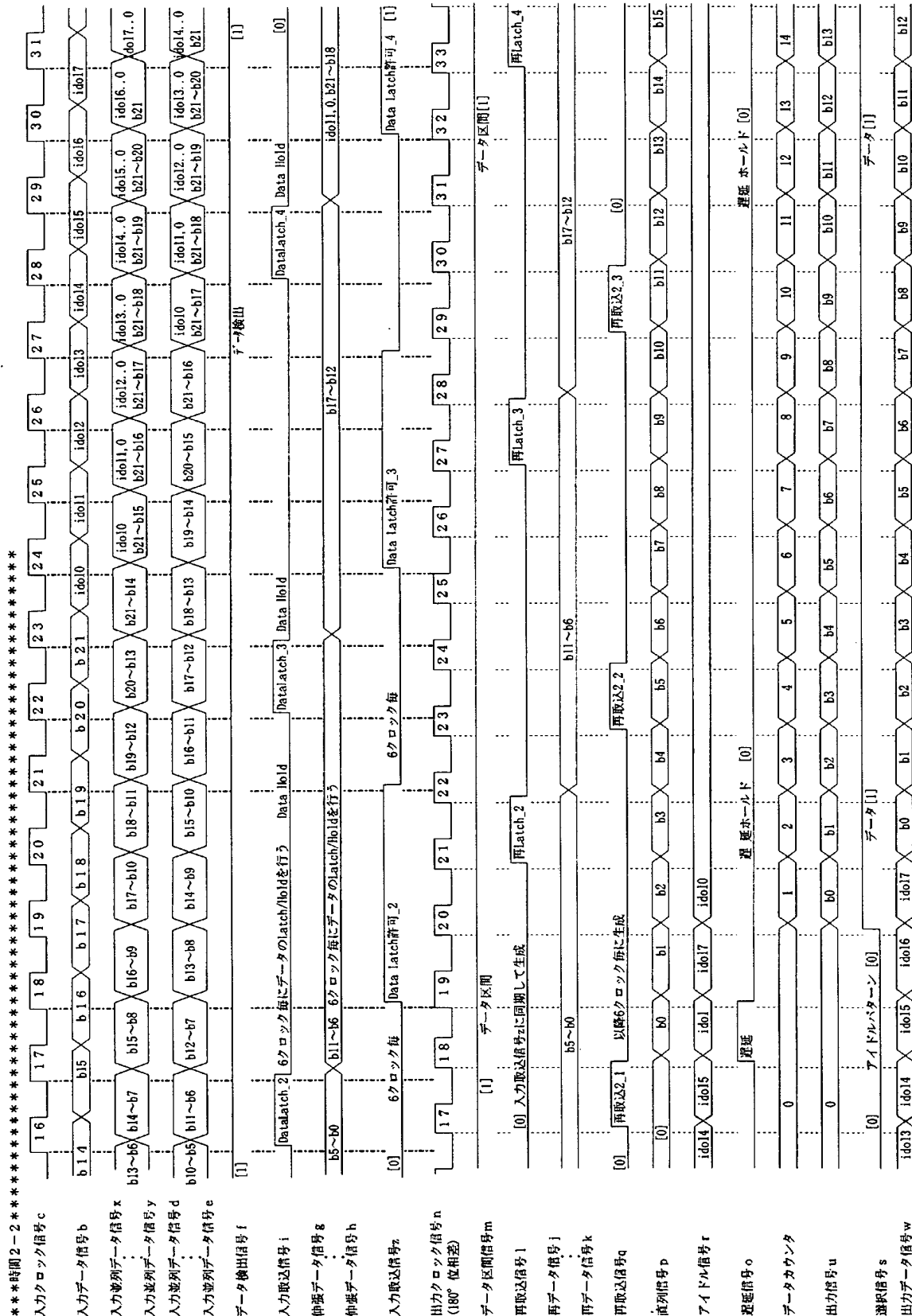
【圖 3】



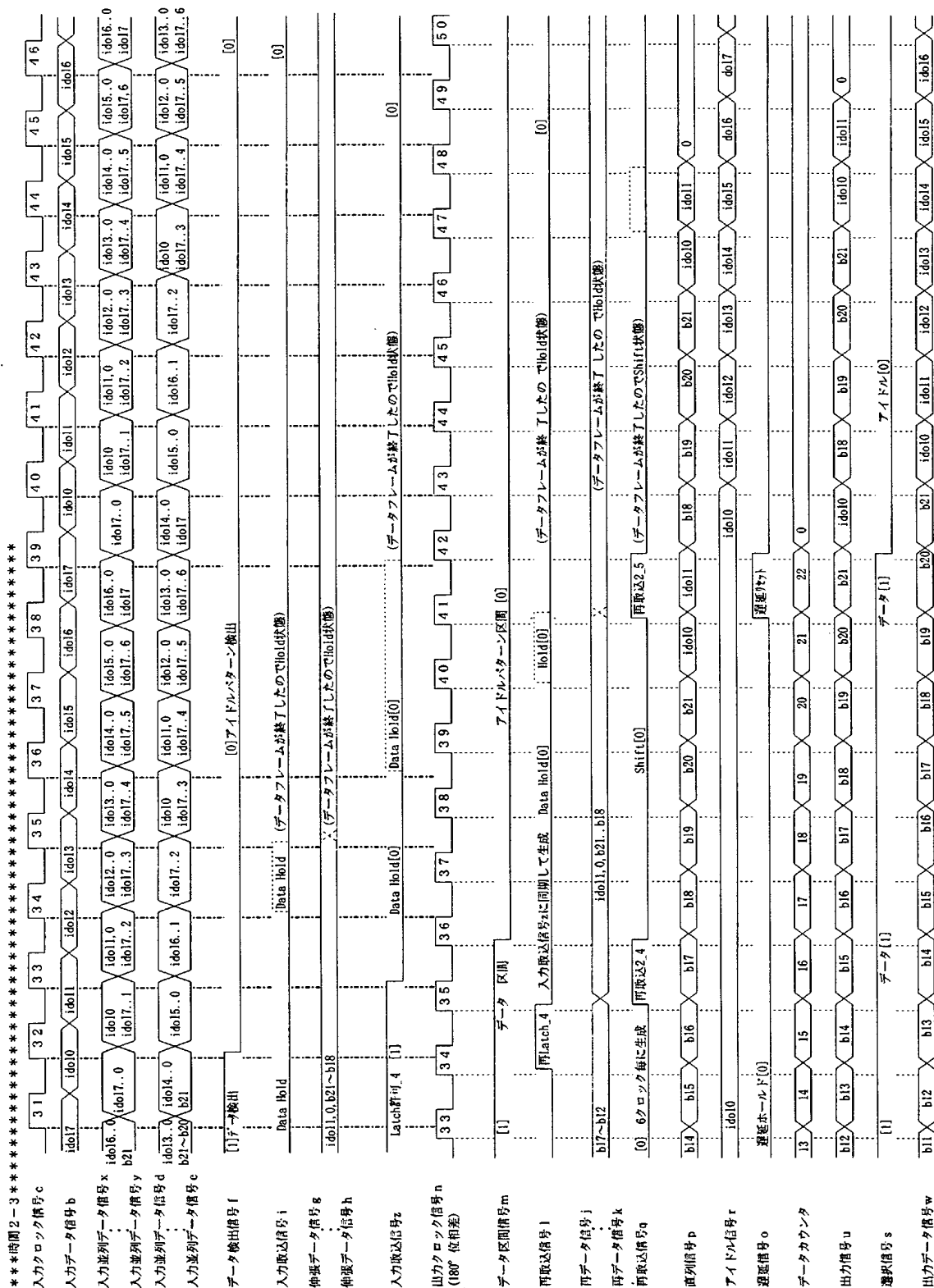
【図 4】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 長距離伝送される高速なシリアル信号のジッタを抑制して、再同期化したデータの信頼性を高める。

【解決手段】 シフトレジスタ直並列回路 0 3 は入力データ信号 b をパラレル化し、入力データ伸張回路 0 5 ～ 0 6 は入力並列データ信号 d ～ e を所定クロック長だけ時間軸方向に引き延ばして伸張データ信号 g ～ h を出力する。入力パターン検出回路 0 4 は伸張データ信号 g ～ h の変化点の中央付近でデータを取り込めるように入力取込信号 i を送出し、再同期データ取込信号生成回路 1 3 は入力取込信号 z を出力クロック信号 n に同期してラッチする。データ再同期回路 1 1 ～ 1 2 は再取込信号 l のタイミングで伸張データ信号 g ～ h をラッチし、データ遅延回路 1 8 はアイドルパターンのビット列がすべて出力し終わるまでデータを保持する。データ選択回路 1 9 はアイドルパターンと同期をとって出力データ信号 w を出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 8 9 4 5 7
受付番号	5 0 2 0 1 4 8 0 6 1 6
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 1 0 月 3 日

< 認定情報・付加情報 >

【提出日】 平成14年10月 2日

次頁無

特願 2 0 0 2 - 2 8 9 4 5 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社